

(12)特許協力条約に基づいて公開された国際出願

(19)世界知的所有権機関  
国際事務局



(43)国際公開日  
2005年4月28日 (28.04.2005)

PCT

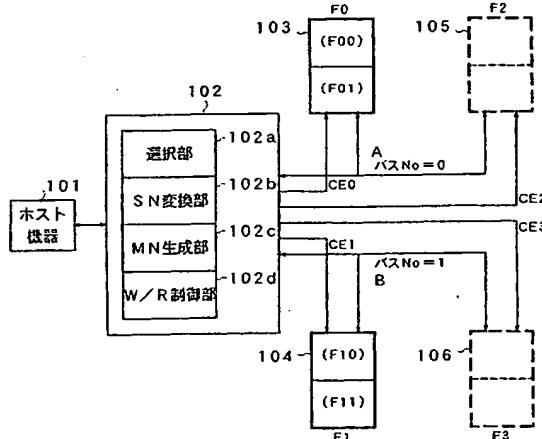
(10)国際公開番号  
WO 2005/038655 A1

(51)国際特許分類: G06F 12/00, 12/06  
(21)国際出願番号: PCT/JP2004/015463  
(22)国際出願日: 2004年10月13日 (13.10.2004)  
(25)国際出願の言語: 日本語  
(26)国際公開の言語: 日本語  
(30)優先権データ:  
特願 2003-357694  
2003年10月17日 (17.10.2003) JP  
(71)出願人(米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).  
(72)発明者; および  
(75)発明者/出願人(米国についてのみ): 中西 雅浩  
(74)代理人: 岡本 宜喜 (OKAMOTO, Yoshiki); 〒5770066 大阪府東大阪市高井田本通7-7-19昌利ビル安田岡本特許事務所内 Osaka (JP).  
(81)指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.  
(84)指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,

[続葉有]

(54) Title: SEMICONDUCTOR MEMORY DEVICE, CONTROLLER, AND READ/WRITE CONTROL METHOD THEREOF

(54)発明の名称: 半導体メモリ装置及びコントローラ並びにその読み書き制御方法



101... HOST DEVICE  
102a... SELECTION UNIT  
102b... SN CONVERSION UNIT  
102c... MN GENERATION UNIT

102d... W/R CONTROL UNIT  
A...BUS No=0  
B...BUS No=1

(57) Abstract: It is possible to select one of the memory configurations. One of them is to connect four flash memories (F0 to F3) to two memory buses by dividing the four into two. The other is to divide each of the two flash memories (F0, F1) into first and second areas of substantially identical size (F00 to F11) and connect two of them to the two memory buses one by one. When the four-memory configuration is selected, the continuous logic address specified by a host device is divided into a predetermined size and write is performed by cyclically repeating F0, F1, F2, F4 in this order. When the two-memory configuration is selected, write is performed by cyclically repeating F00, F10, F01, F11. Thus, the controller processing is made common regardless of the number of the flash memories connected to the controller.

[続葉有]

WO 2005/038655 A1



KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:  
— 國際調査報告書

---

(57) 要約:

4つのフラッシュメモリ F 0～F 3 を 2つのメモリバスに 2つずつ接続するか、 2つのフラッシュメモリ F 0、 F 1 を概ね等しいサイズの領域に 2分割して前後半領域を形成したもの (F 0 0～F 1 1) を、 2つのメモリバスに一つずつ接続するかを選択する。 4メモリ構成時は、 ホスト機器から指定される連続論理アドレスを所定サイズ毎に区分し、 F 0、 F 1、 F 2、 F 4 をこの順で繰り返し巡回する形式にて書き込みを行う。 2メモリ構成時は、 F 0 0、 F 1 0、 F 0 1、 F 1 1 を繰り返し巡回する形式にて書き込みを行う。 こうしてコントローラに接続するフラッシュメモリの数に関わらず、 コントローラ処理の共通化を図る。